(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2018-518843
(P2018-518843A)
(43)公表日　平成30年7月12日(2018.7.12)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 33/22	***(2010.01)***	H01L	33/22	5F241
H01L 33/32	***(2010.01)***	H01L	33/32	

審査請求 未請求　予備審査請求 未請求　（全 15 頁）

(21)出願番号　特願2017-563576 (P2017-563576)
(86)(22)出願日　平成28年6月8日 (2016.6.8)
(85)翻訳文提出日　平成30年2月6日 (2018.2.6)
(86)国際出願番号　PCT/US2016/036359
(87)国際公開番号　WO2016/200882
(87)国際公開日　平成28年12月15日 (2016.12.15)
(31)優先権主張番号　62/172,393
(32)優先日　平成27年6月8日 (2015.6.8)
(33)優先権主張国　米国 (US)

(71)出願人　397068274
コーニング　インコーポレイテッド
アメリカ合衆国　ニューヨーク州　１４８３１　コーニング　リヴァーフロント　プラザ　１
(74)代理人　100073184
弁理士　柳田　征史
(74)代理人　100175042
弁理士　高橋　秀明
(72)発明者　オースリー，ティモシー　ジェイムズ
アメリカ合衆国　カリフォルニア州　９５１１８　サンノゼ　ボーデレー　ドライヴ　１４９２

最終頁に続く

(54)【発明の名称】転写のないマイクロＬＥＤディスプレイ

(57)【要約】
発光ダイオード系ディスプレイおよびそのようなディスプレイの製造方法が本明細書に記載される。特に、本明細書に記載される当該デバイスは、マイクロＬＥＤ（１９０）直接発光技術と、そのようなデバイスを直接ＬＥＤウェーハ上に製造する方法とを組み込む。向上した前記デバイスは、シリコン基板（１２０）上のＧａＮ層（１１０’）をデバイス構造内に組み込み、サファイアの使用、または別の基板にμＬＥＤを転写する必要があることを回避するとともに、シリコンを通した裏面コンタクトと個別のμＬＥＤの制御とを可能にする。

Fig. 1A

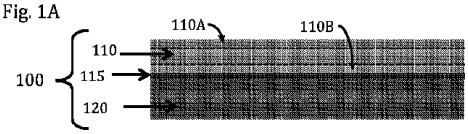
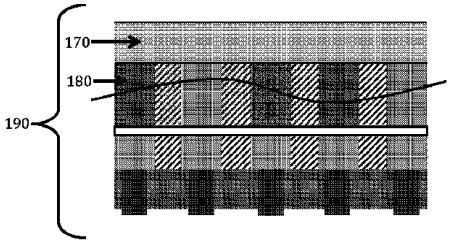


Fig. 1G



【特許請求の範囲】
【請求項１】
少なくとも１つのバイアであって、導体材料をその中に有する少なくとも１つのバイアを含むシリコン基板と、
少なくとも１つの独立したＧａＮ要素と該シリコン基板上のボイドスペースとを含む構造ＧａＮ層と、
該ＧａＮ層および任意の平坦化層上の透明導体と、
該透明導体上にウェルを形成する少なくとも１つの壁要素と、
該ウェル内に位置する量子ドット材料と、
該壁要素および該ウェル上の透明基板と、
を含むデバイスであって、
前記ＧａＮ層または任意のバッファ層が前記バイアを通して前記導体材料に曝露される、デバイス。
【請求項２】
前記構造ＧａＮ層が前記シリコン基板に隣接し、前記シリコン層からの距離の関数として組成的に変化する、請求項１に記載のデバイス。
【請求項３】
前記構造ＧａＮ層が、前記シリコン層に最も近い側においてｎ型であり、前記シリコン層から離れた側においてｐ型である、請求項２に記載のデバイス。
【請求項４】
前記構造ＧａＮ層に、酸素、シリコン、マグネシウム、アルミニウムまたはインジウムがドープされる、請求項１から３のいずれか一項に記載のデバイス。
【請求項５】
前記構造ＧａＮ層の厚さが約１μｍから約１００μｍである、請求項１から４のいずれか一項に記載のデバイス。
【請求項６】
前記デバイスが前記シリコン基板上に平坦化層をさらに含む、請求項１から５のいずれか一項に記載のデバイス。
【請求項７】
前記平坦化層が、ナノ粒子または微小粒子を任意に含む光重合性の有機ポリマーまたは無機ポリマーを含む、請求項６に記載のデバイス。
【請求項８】
前記デバイスがバッファ層をさらに含む、請求項１から７のいずれか一項に記載のデバイス。
【請求項９】
前記デバイスが前記シリコン基板と前記ＧａＮ層の間にバッファ層をさらに含む、請求項１から８のいずれか一項に記載のデバイス。
【請求項１０】
前記バッファ層がＩｎＧａＮ、ＡｌＧａＮ、Gd_2O_3、Ga_2O_3、ＡｌＮまたはSi_3N_4を含む、請求項８または９に記載のデバイス。
【請求項１１】
前記透明基板がガラス、ガラスセラミック、ポリマーまたは結晶性材料を含む、請求項１から１０のいずれか一項に記載のデバイス。
【請求項１２】
前記デバイスが、前記シリコン基板上の前記ボイドスペースと前記少なくとも１つの独立したＧａＮ要素とを充填することをさらに含む、請求項１から１１のいずれか一項に記載のデバイス。
【請求項１３】
前記シリコン基板が、10^{13}から10^{16}ａｔｏｍｓ／ｃｍ^{3}のホウ素、リン、ヒ素、酸素またはアンチモンで任意に置換される単結晶シリコンまたは多結晶シリコンを含む

、請求項１から１２のいずれか一項に記載のデバイス。
【請求項１４】
前記バイアが、最も短い平面寸法に沿って約１μｍから約５０μｍである、請求項１から１３のいずれか一項に記載のデバイス。
【発明の詳細な説明】
【優先権】
【０００１】
本出願は、米国特許法第１１９条に基づき、２０１５年６月８日に出願された米国仮出願第６２／１７２，３９３号の優先権の利益を主張するものであり、その内容は依拠されその全体は参照により本明細書に組み込まれる。
【技術分野】
【０００２】
発光ダイオード系ディスプレイおよびそのようなディスプレイの製造方法が本明細書に記載される。特に、本明細書に記載される当該デバイスは、マイクロＬＥＤ直接発光技術と、そのようなデバイスを直接ＬＥＤウェーハ上に製造する方法とを組み込む。
【背景技術】
【０００３】
発光ダイオード（「ＬＥＤ」）は、適切な電位の電圧がダイオードのリード線にわたって印加されたときに発光する半導体光源である。一般的に言えば、ＬＥＤは、ｐ－ｎ接合を生じさせるために不純物がドープされた半導体材料のチップを組み込む。他のダイオードと同様に、電流は、ｐ側、すなわちアノードから、ｎ側、すなわちカソードに容易に流れるが、逆方向には流れない。電荷担体、すなわち電子および正孔は、電圧が異なる電極から接合部内に流れる。電子が正孔と衝突すると、電子および正孔は放射再結合を介して結合し、エレクトロルミネセンスと呼ばれるプロセスによって光子の形でエネルギーを放出する。
【０００４】
発光された光の波長や、したがってその色は、ｐ－ｎ接合を形成する材料のバンドギャップエネルギーによって決まる。シリコンダイオードまたはゲルマニウムダイオードにおいて、電子および正孔は、通常、非放射遷移によって再結合するが、当該非放射遷移によって光学発光は生じず、その理由は、これらのダイオードが間接バンドギャップ材料であるからである。ＬＥＤに用いられる材料は、近赤外光、可視光または近紫外光に対応するエネルギーを有する直接バンドギャップを有する。
【発明の概要】
【発明が解決しようとする課題】
【０００５】
ＬＥＤには、より低いエネルギー消費、より長い寿命、向上した物理的堅牢性、より小さい大きさ、より速い切替など、白熱光源よりも優れた多くの効果がある。発光ダイオードは、現在、多様な照明の用途で用いられる。しかし、相変わらずＬＥＤの設計および機能性を向上させる必要がある。例えば、室内照明に充分に強力なＬＥＤは、依然として比較的高価であり、同等の出力のコンパクトな蛍光灯光源よりも正確な電流および熱の管理を必要とする。その目的のために、ＬＥＤ技術は、多くの異なる方法で拡大を続けてきた。ＬＥＤの大きさが小さくなるにつれて需要および性能が増大すると、効率性、動作速度、スペクトル制御および拡張性を向上させる必要が継続して出てくる。大きさが小さくなるにつれて、製造の問題が、とりわけデバイスの分離およびグローバル平坦化の点でますます大きくなる。
【０００６】
本明細書に記載される態様は、新規のμＬＥＤデバイス構造と、原料ウェーハからｍＬＥＤを転写する必要を回避する超高分解能構造の製造方法とを提供することによって、記載された前記課題の一部に対処するものと考えられる。
【課題を解決するための手段】

【０００７】
第１の態様は、少なくとも１つのバイアであって、導体材料をその中に有する少なくとも１つのバイアを含むシリコン基板と、少なくとも１つの独立したＧａＮ要素と当該シリコン基板上のボイドスペースとを含む構造ＧａＮ層と、当該シリコン基板と当該ＧａＮ層の間の任意のバッファ層と、当該シリコン基板または当該任意のバッファ層上の任意の平坦化層と、当該少なくとも１つの独立したＧａＮ要素上の前記ボイドスペースを充填することと、当該ＧａＮ層および当該任意の平坦化層上の透明導体と、当該透明導体上にウェルを形成する少なくとも１つの壁要素と、当該ウェル内に位置する量子ドット材料と、当該壁要素および当該ウェル上の透明基板と、を含むデバイスであって、前記ＧａＮ層または前記任意のバッファ層が前記バイアを通して前記導体材料に曝露される、デバイスを含む。

【０００８】
第２の態様は、ａ．任意にバッファ層で被覆され、かつＧａＮ層で被覆されたシリコン基板から開始し、当該ＧａＮ層の少なくとも一部を除去して、少なくとも１つの独立したＧａＮ要素と当該シリコン基板上のボイドスペースとを含む構造ＧａＮ層を作製するステップと、ｂ．前記少なくとも１つの独立したＧａＮ要素の下の前記シリコン基板の少なくとも一部を除去して、前記ＧａＮ層または任意のバッファ層を曝露するバイアを形成するステップと、ｃ．導体材料を前記バイア内に挿入するステップと、ｄ．任意に、前記シリコン基板上の前記ボイドスペース内に平坦化層を挿入するステップと、ｅ．前記ＧａＮ層および前記任意の平坦化層上に透明導体を形成するステップと、ｆ．前記透明導体上に少なくとも１つの壁要素を形成して少なくとも１つのウェルを作製するステップと、ｇ．前記ウェル内に量子ドット材料を配置するステップと、ｈ．前記壁要素および前記ウェル上に透明基板を配置または形成するステップと、を含む、第１の態様に記載のデバイスの製造方法を含む。

【０００９】
さらなる特徴および効果は、後続の発明を実施するための形態に記載され、部分的に、発明を実施するための形態から直ちに当業者に明らかであり、または実施形態を、その明細書および請求項ならびに添付の図面に記載されるように実施することによって認識されるであろう。

【００１０】
前述の概略の記載および以下の発明を実施するための形態の両方は、単に例示的なものであり、理解のための概要または枠組みを提供することを意図するものであることを理解すべきである。

【００１１】
添付の図面は、さらなる理解を提供するために含まれるものであって、本明細書の一部に組み込まれ、それを構成するものである。

【図面の簡単な説明】

【００１２】
【図１Ａ】例示されたμＬＥＤを形成するために例示されたプロセスを図示する。図１Ａは、断面において、ＧａＮ－オン－Ｓｉウェーハ１００を作製するために、任意のバッファ層１１５を有するシリコン基板１２０上のＧａＮ層１１０を示す。領域１１０Ａおよび領域１１０Ｂは、本明細書で検討されるように、ＧａＮの任意のｐ型領域およびｎ型領域である。

【図１Ｂ】例示されたμＬＥＤを形成するために例示されたプロセスを図示する。図１Ｂは、ＧａＮ１１０を優先的にエッチングしてＧａＮ１１０’の絶縁部分を作製したＧａＮ－オン－Ｓｉウェーハ１００の断面を図示する。

【図１Ｃ】例示されたμＬＥＤを形成するために例示されたプロセスを図示する。図１Ｃに示されるステップにおいて、残ったＧａＮ１１０’領域の下でシリコン１２０をエッチングして、ＧａＮ１１０’の下側への接近を可能にするバイア１２５を作製する。

【図１Ｄ】例示されたμＬＥＤを形成するために例示されたプロセスを図示する。図１Ｄ

に示されるように、次いで、これらのバイア１２５を導電性材料１３０で金属化する。
【図１Ｅ】例示されたμＬＥＤを形成するために例示されたプロセスを図示する。図１Ｅにおいて、ＧａＮ領域１１０’の各々の周囲に平坦化層１４０を加え、次いで、デバイスの上部全体に沿って透明導体１５０を被覆する。
【図１Ｆ】例示されたμＬＥＤを形成するために例示されたプロセスを図示する。図１Ｆは、透明導体上の壁要素１６０の製造を示す。要素１６５は、壁要素が図示された他の構成要素よりも非常に大きい垂直寸法を有してもよいことを示す。
【図１Ｇ】例示されたμＬＥＤを形成するために例示されたプロセスを図示する。最後に、図１Ｇは、壁要素１６０によって形成されたボイド内における赤色、緑色および青色または青色散乱量子ドットウェル１８０の形成を示し、次いで、壁要素１６０およびＱＤウェル１８０を覆って封止層１７０を形成してμＬＥＤディスプレイ１９０を作製する。
【発明を実施するための形態】
【００１３】
本材料、物品および／または方法を開示し、記載する前に、以下で記載されている態様が特定の化合物、合成方法または使用に限定されるものではなく、その理由はそれらが当然に変化してもよいからであることを理解すべきである。また、本明細書に用いられる用語が特定の態様のみを記載することを目的とするものであって、限定的であることを意図するものではないことも理解すべきである。
【００１４】
本明細書および続く請求項において、以下の意味を有すると定義される多くの用語が参照される。
【００１５】
本明細書の全体にわたって、文脈上別段の解釈を要する場合を除き、「含む（ｃｏｍｐｒｉｓｅ）」という語または「含む（ｃｏｍｐｒｉｓｅｓ）」や「含む（ｃｏｍｐｒｉｓｉｎｇ）」などの変形は、記述した構成要件もしくはステップまたは構成要件もしくはステップの群を包含することを意味するが、いかなる他の構成要件もしくはステップまたは構成要件もしくはステップの群を除外することを意味するものではないと理解される。「含む（ｃｏｍｐｒｉｓｅ）」またはその変形が出現する場合、「実質的になる（ｃｏｎｓｉｓｔｓ　ｅｓｓｅｎｔｉａｌｌｙ　ｏｆ）または「のみからなる（ｃｏｎｓｉｓｔｓ　ｏｆ）」の用語と置き換えてもよい。
【００１６】
明細書および添付の特許請求の範囲に用いられる場合、名詞は、文脈上特に明記してあるものを除いて、複数の指示物を指す。したがって、例えば、「量子ドット」に対する言及は、２つ以上のそのような量子ドットの混合物などを含む。
【００１７】
「任意（ｏｐｔｉｏｎａｌ）」または「任意に（ｏｐｔｉｏｎａｌｌｙ）」は、続いて記載される事象または状況が起きる可能性があるか、または可能性がないことと、その記載が事象または状況が起きる例とそれが起きない例とを含むこととを意味する。
【００１８】
本明細書において、範囲は、「約（ａｂｏｕｔ）」一方の特定の値からとして、および／または、「約（ａｂｏｕｔ）」他方の特定の値までとして表される。そのような範囲が表される場合、別の態様は、当該一方の特定の値から、および／または、当該他方の特定の値までを含む。同様に、値が近似値として表される場合、先行する「約（ａｂｏｕｔ）」を用いて、特定の値が別の態様を形成することが理解されるだろう。範囲の各々の終点が、他方の終点に関して、かつ当該他方の終点と独立して重要であることがさらに理解されるだろう。
【００１９】
ＭＬＥＤデバイスおよびディスプレイ
態様は、ＧａＮ－オン－シリコン構造上の新規μＬＥＤデバイスと、そのようなデバイスの製造方法とを含む。本明細書において例示されるμＬＥＤデバイスは、シリコン構造

が、デバイス内に保持され、かつ組み込まれ、基板上のｍＬＥＤの非常に高い分解能表面を提供すると同時に、μＬＥＤデバイスのための絶縁機能および／または支持機能の両方を提供することができるという点で固有のものである。一部の従来のディスプレイ用途において、単一のディスプレイを作製するためにそのような大量のＬＥＤ材料を用いることは経済的に実現性がないため、本明細書に記載される設計は許容され得ない。しかし、仮想現実の用途に魅力的なものなどのニアアイディスプレイの場合、ＬＥＤ材料の密度が極めて大きいことによって、人間の眼が分解するために必要な倍率のためにディスプレイが非常に眼に近い場合に必要な高分解能が提供される。

【００２０】

図１Ｇに例示される一実施形態において、μＬＥＤは、バイア１２５であって、その中に導体材料１３０を有するバイア１２５を含むシリコン基板１２０と、当該シリコン基板上の構造ＧａＮ層と、当該ＧａＮ層上の透明導体と、当該透明導体上にウェルを形成する壁要素と、当該ウェル内の量子ドットと、当該壁要素および当該ウェルの上の透明基板と、を含む。

【００２１】

シリコン基板１２０は、シリコンウェーハなどの単結晶シリコンまたは多結晶シリコンを含み、ＧａＮ１１０または任意のバッファ層とともに働くいずれの配向構造または結晶構造も有することができる。例えば、シリコン基板１２０は、（１００）配向、（１１０）配向または（１１１）配向を有してよく、または配向の組み合わせを有してもよい（多結晶シリコンの場合）。いくつかの実施形態において、シリコン基板１２０には、少量のドーパントがドープされる。当該ドーパントは、ＬＥＤデバイス１９０とともに働くいかなる量のいかなる元素も含んでよいが、特に約10^{13}から約10^{16}ａｔｏｍｓ／cm^3の量のホウ素、リン、ヒ素、酸素またはアンチモンを含んでもよい。

【００２２】

シリコン内のバイア１２５は、デバイス１９０が適切に働くことができるいかなる大きさまたは形状であってもよい。図１Ｃに示されるように、デバイス１９０の設計に基づいて、バイア１２５は、概して、シリコン基板１２０がＧａＮ材料１１０を適切に支持し、ＧａＮ層１１０の外側の導体材料が接触できないようにする大きさであるが、その理由は、これによって短絡の可能性が最小限に抑えられ、導体材料の使用が最適化されるからである。いくつかの実施形態において、バイアは、ＧａＮマイクロＬＥＤのフットプリントよりもわずかに小さいだけであり、光抽出のために最適化され得る。しかし、任意の平坦化層が存在し、それが絶縁体として作用し得る場合、バイア１２５の大きさは、いくつかの領域または寸法においてＧａＮ１１０の大きさを超えてもよい。基板１２０の使用を最適化するために、バイアは、いくつかの実施形態において、それらの最も短い面内寸法（すなわち、厚さでない）に沿って約１μｍから約５０μｍであってもよい。

【００２３】

バイアは、一旦形成されると、次いで導体材料１３０が充填される。導体材料１３０は、金属または金属酸化物であることが可能であり、とりわけ金属の場合、デバイス１９０からの光出力を増強する反射体として作用することが可能である。導体材料１３０に用いることができる金属および金属酸化物は、Ａｌ、Ａｕ、Ｃｕ、Ａｇ、Ｐｔなどを含むことができる。いくつかの実施形態において、銅ペーストなどの他の導体をバイアに充填する前に、ＧａＮの下側に鏡層を被覆することができる。これは、シリコンの吸光度に一部起因する。シリコン自体が非常に吸収性であるので、ＧａＮ－オン－Ｓｉに基づいたＬＥＤの製造者は、元のウェーハからＧａＮを転写し、鏡を設けた後でＧａＮの上部に別のウェーハを結合する。

【００２４】

いくつかの実施形態において、任意のバッファ層１１５は、シリコンとＧａＮ層の間に存在する。ＧａＮ１１０とシリコン１２０の間の格子差のため、シリコン上でＧａＮを成長させることが困難となる可能性がある。バッファ層１１５は、格子不整合を最小限に抑えることによってＧａＮ１１０とシリコン１２０の間の格子差のブリッジングを行う材料

を含む。そのブリッジングは、構造が結晶質または非晶質である材料であって、シリコンに面した側面からＧａＮに面した側面に移行する際に構造的または組成的に変化または変更する構造を有する材料を用いて行うことができる。可能なバッファ層１１５は、例えば、ＩｎＧａＮ、ＡｌＧａＮ、Gd_2O_3、Ga_2O_3、ＡｌＮおよびSi_3N_4を含む。バッファ層１１５は、存在する場合、バイアの形成によってエッチングを行って取り除くことが可能であり、または導通する場合、保持されてもよい。図１Ｃは、明確にするため、エッチングを行って任意のバッファ層１１５を取り除いたものを示す。

【００２５】

ＧａＮ層１１０はＧａＮを含み、アルミニウムやインジウムなどのドーパントをさらに含んでもよい。実際、いくつかの実施形態において、ＧａＮ層は、シリコン層またはバッファ層から組成的に離れて変化する。いくつかの実施形態において、ＧａＮ層はｎ型であり、シリコン／バッファ層に近いか、または隣接しており（図１Ａの領域１１０Ｂ）、シリコンもしくは酸素または他の材料がドープされた組成物を有してそれはｎ型になるが、一方で他の面に近い領域または他の面の領域において、ＧａＮはｐ型であり、Ｍｇまたは他の材料がドープされてそれがｐ型になる（図１Ａの領域１１０Ａ）。ＧａＮ層は、シリコンから最も遠く離れた表面（曝露面）から開始してエッチングされ、次いで、シリコン面およびシリコン層の方へ下って進行する。ＧａＮ層１１０は、厚さが概して約１μｍから約１００μｍ程度であり、いくつかの実施形態において約５００ｎｍから約５μｍ以上の、クロストークまたは短絡を防ぐために充分な、エッチングされたＧａＮ要素１１０の間の間隔を有するいずれかの合理的形状にエッチングすることができる。

【００２６】

任意の平坦化層１４０は、絶縁体として作用してＧａＮの側壁を絶縁し、いくつかの実施形態において、反射体として作用することができる。平坦化層１４０は、基板上へ容易に被覆することが可能であり、デバイスの動作に関する問題を引き起こさないいずれの絶縁材料も含むことができる。いくつかの実施形態において、平坦化層１４０は、任意に光重合性の有機ポリマーまたは無機ポリマーである。平坦化層１４０が反射体としても働く実施形態において、それは、光を散乱するか、または反射する、ナノ粒子や微小粒子などの有機粒子または無機粒子をさらに含んでもよい。

【００２７】

透明導体１５０は、導電性で光学的に透明な薄膜であり、透明な導伝性酸化物（例えば、ＩＴＯ、ＦＴＯ、ドープＺｎＯ）、有機導電性ポリマーもしくは無機導電性ポリマー（例えば、ＰＥＤＯＴ、ＰＥＤＯＴ：ＰＳＳなど）、導伝性の転写膜、金属グリッド、カーボンナノチューブ、ナノワイヤまたはグラフェンなどを含んでもよい。

【００２８】

量子ドット要素１８０は、本明細書に用いられる場合、量子力学的性質を示すナノ結晶半導体材料を含む。本明細書に記載された実施形態に用いることができるＱＤ材料は、限定されることなく、いずれの知られたＱＤ材料も概して含む。各ウェルに用いられるＱＤ要素１８０の大きさ、組成物および量は、当業者の能力の範囲内にあり、その用途のために改変することができる。用いることができるＱＤとしては、例えば、ＣｄＳｅ、ＣｄＳ、ＺｎＳ、CdS_xSe_{1-x}／ＺｎＳ、ＩｎＰ／ＺｎＳ、ＰｂＳなどの、コア－タイプ、コア－シェルおよび合金ＱＤが挙げられる。ＱＤ要素１８０は、ＱＤがともにウェル内にあるポリマーまたは他の担体もしくは支持材料をさらに含んでもよい。用途に応じて、ＱＤ要素は、同じまたは異なる発光色を有してもよく、特定の配置でそのような色を発するように構造化または配列されてもよい。図１Ｇに示されるＱＤ要素１８０は、異なる色の繰り返しパターンを有するが、本明細書に記載された実施形態に影響を与えることなく異なって配置することが可能である。

【００２９】

任意の平坦化層と同様に、壁要素１６０は、ＱＤ材料のためのウェルを作製するように作用し、ならびにウェルを互いに絶縁するように作用し、いくつかの実施形態において、反射体として作用することができる。壁要素１６０は、ウェル状構造に構築することが可

能で、透明導体上へ被覆可能で、デバイスの動作に関する問題を引き起こさないいずれの非導電性材料も含むことができる。いくつかの実施形態において、壁要素１６０は、任意に光重合性の有機ポリマーまたは無機ポリマーである。壁要素１６０が反射体または散乱体としても働く実施形態において、それは、光を散乱するか、または反射する、ナノ粒子や微小粒子などの有機粒子または無機粒子をさらに含んでもよい。

【００３０】

図１Ｇに戻って参照すると、透明基板１７０は、ＱＤ要素を封入するように作用する透明ガラス、ガラスセラミック、ポリマーまたは結晶性材料を含んでもよい。透明基板１７０は、３００ｕｍ以下の厚さを有する可撓性ガラス基板など、薄い、超薄のおよび／または可撓性の材料であり得る。いくつかの実施形態において、透明基板１７０に対して、反射防止、指紋防止、抗菌性などの膜をいくらでもさらに被覆することが可能である。別の場合、散乱膜を介して、または粗面もしくは非平面を有する基板によって光を散乱させるように、透明基板１７０の一方または両方の側面を設計することができる。

【００３１】

方法

マイクロＬＥＤディスプレイに対する通常の競合する手法では、マイクロＬＥＤは、原料ウェーハから別々のディスプレイバックプレーンへ転写される。形成基板からのμＬＥＤの転写は、困難なプロセスとなる可能性があり、かなり費用がかかるものである。μＬＥＤを転写しないことの不利な面は、１つのウェーハがあり、形成基板を再利用することができないということであるが、一方で転写手法によって、単一のウェーハから潜在的に複数のディスプレイが可能になる。しかし、いくつかの用途、例えば仮想現実頭部装着型ディスプレイは、ＶＲに対する極めて高い分解能の要件のため、ディスプレイ１つ当たりのウェーハ全体の費用が抑えられないことがわかる。現在のμＬＥＤの設計およびプロセスによって、シリコンの転写または除去を必要とすることなく高分解能μＬＥＤを直接ウェーハ上に形成することが可能になる。

【００３２】

シリコン上へのμＬＥＤの形成を用いる以前の方法は、エッチングによるシリコン基板の除去を含む。提案する本発明は、基板全体を除去するのではなく、パターニングされたフォトレジストによって選択的にエッチングするものである。基板の選択的除去によって、底部のｎ－ＧａＮ層に接触するための所望の接近が提供される。そのような実行可能性は提案する本発明に重要であるが、その理由は、本発明が後ろから各サブピクセル（前部に通常の透明電極を有する）に対処するためにシリコンを通したバイアを生じさせることに基づくからである。ＬＥＤの形成に従来から用いられるサファイアと異なり、シリコンは、容易にエッチングすることができる。

【００３３】

本明細書に記載されるプロセスの態様は、図１Ａから図１Ｇに示される。図１Ａを参照すると、シリコンウェーハ１２０上に任意のバッファ層１１５を成長させるか、または形成する。バッファ層１１５は、NH_3、Ａｌや代替の成分などの知られた前駆体を用いて、分子線エピタキシ（ＭＢＥ）、化学蒸着（ＣＶＤ）などの知られた手段を介して形成されてもよい。次いで、ＭＢＥ、ＣＶＤ、水素化物気相エピタキシ、有機金属気相エピタキシ、有機金属ＣＶＤなどの知られた手段を介して、ＧａＮ層１１０を所望の厚さにバッファ被覆シリコン基板１２０上へ被覆する。いくつかの実施形態において、ＧａＮ層がシリコン１２０または任意のバッファ層１１５から離れてｎ型からｐ型へ移動するというような方法で、ＧａＮ層１１０をドープする。

【００３４】

ここで図１Ｂを参照すると、ウェットエッチングやドライエッチングなど、本技術分野で知られているマスクおよびエッチング技術、四塩化ケイ素、塩基、酸、過酸化物などのエッチング液、レーザアシストエッチングなどを用いて、ＧａＮ１１０、および任意には、任意のバッファ層１１５に対してエッチングを行って取り除き、柱状、立方形、円柱、角錐などのいずれかの所望の形状の個別のＧａＮ要素を含むＧａＮ構造１１０’を作製す

る。ＧａＮ層は、シリコンから最も遠く離れた面（曝露ＧａＮ面）から開始してエッチングされ、次いで、シリコン面およびシリコン層の方へ下って進行する。

【００３５】

図１Ｃを参照すると、ウェットエッチングやドライエッチングなど、本技術分野で知られているマスクおよびエッチング技術、硝酸、フッ化水素酸、過酸化物、塩基、エチレンジアミンピロカテコール、アミン没食子酸塩、ＴＭＡＨ、ヒドラジンなどのエッチング液を用いて、シリコン１２０、および任意には、任意のバッファ層１１５に対してエッチングを行って取り除き、バイア１２５を形成する。シリコン１２０は、ＧａＮから最も遠く離れた面（曝露シリコン面）から開始してエッチングされ、次いで、ＧａＮ面およびＧａＮ構造１１０’の方へ下って進行する。バイア１２５は、いずれかの所望の形状となることが可能であり、それらが下になるＧａＮ構造１１０’の形状と類似することができる。このステップによって、ＧａＮ構造１１０’の下側が曝露され、シリコン基板を通して回路の形成が可能になる。

【００３６】

シリコンのエッチングの後、任意には真空下における蒸着プロセス、膜、ペースト、液体コーティング、ブレーディングまたはそれらの組み合わせなどを含む、図１Ｄに示されるような知られたプロセスによって、導体材料１３０をバイア１２５内に挿入することが可能であり、例えばバイアを通してＧａＮ層上に反射型金属層を蒸着してもよく、次いで、バイアを充填し、接点を形成するために用いる銅ペーストを蒸着してもよい。上記したように、導体材料１３０は、導電性金属および金属酸化物、例えばＡｌ、Ａｕ、Ｃｕ、Ａｇ、Ｐｔなどを含むことができる。

【００３７】

図１Ｅは、任意の平坦化層１４０をＧａＮ－オン－シリコン基板１００上に被覆するステップを示す。平坦化層１４０は、透明導体１５０のための接点である上面を被覆することなくＧａＮ構造１１０’周辺のボイドを充填するように設計される。蒸着、化学反応、ブレーディングなどを含む機械的手段または化学的手段によって、平坦化層１４０をデバイス上に配置してもよい。

【００３８】

図１Ｅを再度参照すると、次いで、ＧａＮ１１０’および任意の平坦化層１４０の上に透明導体１５０を配置する。透明導体に応じて、それを膜、液体または蒸気として蒸着してもよく、次いで、固定もしくは架橋させるか、または他の化学的プロセスもしくは物理的プロセスを経てＧａＮおよび／または平坦化層に接着および固定してもよい。透明導体は、透明膜上に担持されてもよい。

【００３９】

透明導体１５０の形成とともに、図１Ｆに示される壁要素１６０は、ウェル状構造に構築することが可能で、透明導体上へ被覆可能で、デバイス１９０の動作に関する問題を引き起こさないいずれかの非導電性材料から透明導体上へ形成することが可能である。いくつかの実施形態において、壁要素１６０は、重合、リソグラフィなどを介して形成される。

【００４０】

図１Ｇを参照すると、壁要素１６０が形成されており、材料をウェル内に配置することが可能であり、次いで、ウェルおよび壁要素１６０を透明基板１７０の下に次いで封入する。得られたデバイス１９０は、形成基板を利用しかつ集積化し、微小規模形成技術およびＬＥＤ技術の両方とＱＤの特性とを利用するμＬＥＤである。

【００４１】

特定の態様および特徴を参照して本明細書における実施形態を記載したが、これらの実施形態が単に所望の原理および用途の例証となるだけであることを理解すべきである。したがって、例証となる実施形態に対して多くの変更を行ってもよく、添付の特許請求の範囲の精神と範囲から逸脱することなく他の配置を考案してもよいことを理解すべきである。

【００４２】
以下、本発明の好ましい実施形態を項分け記載する。
【００４３】
実施形態１
少なくとも１つのバイアであって、導体材料をその中に有する少なくとも１つのバイアを含むシリコン基板と、
少なくとも１つの独立したＧａＮ要素と当該シリコン基板上のボイドスペースとを含む構造ＧａＮ層と、
当該ＧａＮ層および任意の平坦化層上の透明導体と、
当該透明導体上にウェルを形成する少なくとも１つの壁要素と、
当該ウェル内に位置する量子ドット材料と、
当該壁要素および当該ウェル上の透明基板と、
を含むデバイスであって、
前記ＧａＮ層または任意のバッファ層が前記バイアを通して前記導体材料に曝露される、デバイス。
【００４４】
実施形態２
前記構造ＧａＮ層が前記シリコン基板に隣接し、前記シリコン層からの距離の関数として組成的に変化する、実施形態１に記載のデバイス。
【００４５】
実施形態３
前記構造ＧａＮ層が、前記シリコン層に最も近い側においてｎ型であり、前記シリコン層から離れた側においてｐ型である、実施形態２に記載のデバイス。
【００４６】
実施形態４
前記構造ＧａＮ層に、酸素、シリコン、マグネシウム、アルミニウムまたはインジウムがドープされる、実施形態１から３のいずれかに記載のデバイス。
【００４７】
実施形態５
前記構造ＧａＮ層の厚さが約１μｍから約１００μｍである、実施形態１から４のいずれかに記載のデバイス。
【００４８】
実施形態６
前記デバイスが前記シリコン基板上に平坦化層をさらに含む、実施形態１から５のいずれかに記載のデバイス。
【００４９】
実施形態７
前記平坦化層が、ナノ粒子または微小粒子を任意に含む光重合性の有機ポリマーまたは無機ポリマーを含む、実施形態６に記載のデバイス。
【００５０】
実施形態８
前記デバイスがバッファ層をさらに含む、実施形態１から７のいずれかに記載のデバイス。
【００５１】
実施形態９
前記デバイスが前記シリコン基板と前記ＧａＮ層の間にバッファ層をさらに含む、実施形態１から８のいずれかに記載のデバイス。
【００５２】
実施形態１０
前記バッファ層がＩｎＧａＮ、ＡｌＧａＮ、Gd_2O_3、Ga_2O_3、ＡｌＮまたはＳ

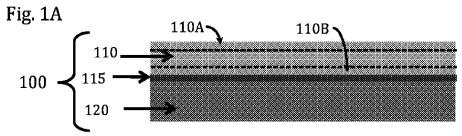
ｉ$_3$Ｎ$_4$を含む、実施形態８または９に記載のデバイス。
【００５３】
実施形態１１
前記量子ドット材料がＣｄＳｅ、ＣｄＳ、ＺｎＳ、ＣｄＳ$_x$Ｓｅ$_{1-x}$／ＺｎＳ、ＩｎＰ／ＺｎＳまたはＰｂＳの、コアータイプ、コアーシェルまたは合金量子ドットを含む、実施形態１から１０のいずれかに記載のデバイス。
【００５４】
実施形態１２
前記壁要素が、ナノ粒子または微小粒子を任意に含む光重合性の有機ポリマーまたは無機ポリマーを含む、実施形態１から１１のいずれかに記載のデバイス。
【００５５】
実施形態１３
前記透明基板がガラス、ガラスセラミック、ポリマーまたは結晶性材料を含む、実施形態１から１２のいずれかに記載のデバイス。
【００５６】
実施形態１４
前記デバイスが、前記シリコン基板上の前記ボイドスペースと前記少なくとも１つの独立したＧａＮ要素とを充填することをさらに含む、実施形態１から１３のいずれかに記載のデバイス。
【００５７】
実施形態１５
前記シリコン基板が、10^{13}から10^{16}ａｔｏｍｓ／ｃｍ^{3}のホウ素、リン、ヒ素、酸素またはアンチモンで任意に置換される単結晶シリコンまたは多結晶シリコンを含む、実施形態１から１４のいずれかに記載のデバイス。
【００５８】
実施形態１６
前記バイアが、最も短い平面寸法に沿って約１μｍから約５０μｍである、実施形態１から１５のいずれかに記載のデバイス。
【００５９】
実施形態１７
前記バイアが導体材料を含む、実施形態１から１６のいずれかに記載のデバイス。
【００６０】
実施形態１８
前記導体材料が金、アルミニウム、銀、銅または白金を含む、実施形態１７に記載のデバイス。
【００６１】
実施形態１９
前記デバイスが微小発光ダイオードを含む、実施形態１から１８のいずれかに記載のデバイス。
【００６２】
実施形態２０
実施形態１から１９のいずれかに記載のデバイスの製造方法であって、
ａ．任意にバッファ層で被覆されかつＧａＮ層で被覆されたシリコン基板から、当該ＧａＮ層の少なくとも一部を除去して、少なくとも１つの独立したＧａＮ要素と当該シリコン基板上のボイドスペースとを含む構造ＧａＮ層を作製するステップと、
ｂ．前記少なくとも１つの独立したＧａＮ要素の下の前記シリコン基板の少なくとも一部を除去して、前記ＧａＮまたは任意のバッファ層を曝露するバイアを形成するステップと、
ｃ．導体材料を前記バイア内に挿入するステップと、
ｄ．前記ＧａＮ層上に透明導体を形成するステップと、

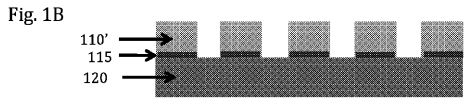
ｆ．前記透明導体上に少なくとも１つの壁要素を形成して少なくとも１つのウェルを作製するステップと、
ｇ．前記ウェル内に量子ドット材料を配置するステップと、
ｈ．前記壁要素および前記ウェル上に透明基板を配置または形成するステップと、
を含む方法。

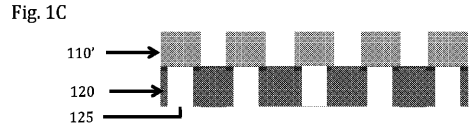
【００６３】
実施形態２１
前記シリコン基板上の前記ボイドスペース内に平坦化層を任意に挿入するステップをさらに含む、実施形態２０に記載の方法。

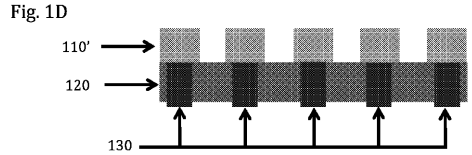
【００６４】
実施形態２２
分子線エピタキシまたは化学蒸着によって前記バッファ層を形成する、実施形態２０または２１に記載の方法。

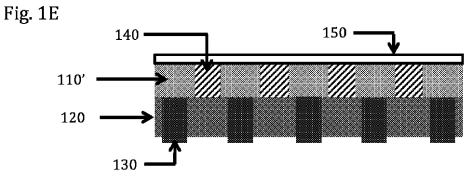
【００６５】
実施形態２３
前記ＧａＮ層の少なくとも一部の前記除去が、四塩化ケイ素、塩基、酸、過酸化物またはレーザアシストエッチングを介して前記ＧａＮをエッチングすることを含む、実施形態２０から２２のいずれかに記載の方法。

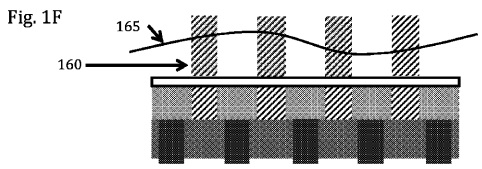
【図１Ａ】


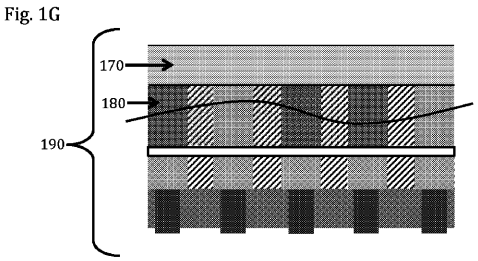
【図１Ｂ】


【図１Ｃ】


【図１Ｄ】


【図１Ｅ】


【図１Ｆ】


【図１Ｇ】


【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2016/036359

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L27/15
ADD. H01L33/42 H01L33/50 H01L33/00 H01L33/38

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2014/054638 A1 (LESTER STEVEN D [US] ET AL) 27 February 2014 (2014-02-27) abstract; figures 8,9,24,25 paragraph [0074]	1-23
A	US 2002/117681 A1 (WEEKS T WARREN [US] ET AL) 29 August 2002 (2002-08-29) abstract; figures 1-4,8	1-23
A	WO 2015/063077 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 7 May 2015 (2015-05-07) abstract; figures 3,4	1-23
A	US 2006/102925 A1 (LIU CHENG-YI [TW] ET AL) 18 May 2006 (2006-05-18) abstract; figures 3,38	1-23

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
22 August 2016	05/09/2016

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Heising, Stephan

1

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2016/036359

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2014054638 A1	27-02-2014	CN 103608939 A	26-02-2014
		JP 2015516682 A	11-06-2015
		KR 20150004246 A	12-01-2015
		TW 201349555 A	01-12-2013
		US 2014054638 A1	27-02-2014
		WO 2013154715 A1	17-10-2013
US 2002117681 A1	29-08-2002	AU 2002252047 A1	12-09-2002
		EP 1378012 A2	07-01-2004
		EP 2894679 A1	15-07-2015
		JP 4792558 B2	12-10-2011
		JP 2004530289 A	30-09-2004
		TW 530327 B	01-05-2003
		US 2002117681 A1	29-08-2002
		WO 02069410 A2	06-09-2002
WO 2015063077 A1	07-05-2015	DE 112014004933 T5	21-07-2016
		WO 2015063077 A1	07-05-2015
US 2006102925 A1	18-05-2006	NONE	

Form PCT/ISA/210 (patent family annex) (April 2005)

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,JP,KE,KG,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US

Ｆターム(参考) 5F241 AA40 AA42 CA05 CA40 CA64 CA66 CA74 CA88 CA93 CB23
CB36

专利名称(译)	微型LED显示屏无需转印		
公开(公告)号	JP2018518843A	公开(公告)日	2018-07-12
申请号	JP2017563576	申请日	2016-06-08
[标]申请(专利权)人(译)	康宁股份有限公司		
申请(专利权)人(译)	康宁公司		
[标]发明人	オースリーティモシージェイムズ		
发明人	オースリー,ティモシー ジェイムズ		
IPC分类号	H01L33/22 H01L33/32		
CPC分类号	H01L33/007 H01L33/0093 H01L33/382 H01L33/42 H01L33/504 H01L27/156		
FI分类号	H01L33/22 H01L33/32		
F-TERM分类号	5F241/AA40 5F241/AA42 5F241/CA05 5F241/CA40 5F241/CA64 5F241/CA66 5F241/CA74 5F241/CA88 5F241/CA93 5F241/CB23 5F241/CB36		
代理人(译)	高桥秀明		
优先权	62/172393 2015-06-08 US		
外部链接	Espacenet		

摘要(译)

本文描述了基于发光二极管的显示器以及制造这种显示器的方法。 特别地，本文描述的装置结合了microLED（190）直接发光技术和直接在LED晶片上制造这种装置的方法。 改进的器件将硅衬底（120）上的GaN层（110'）结合到器件结构中，避免了在去除硅的同时避免使用蓝宝石或将μLED转移到另一衬底上。 允许通过背面接触和单个μLED的控制。

Fig. 1A

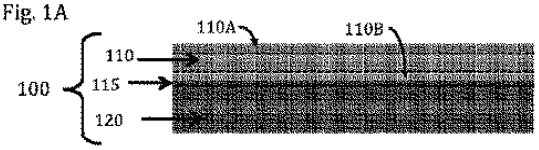
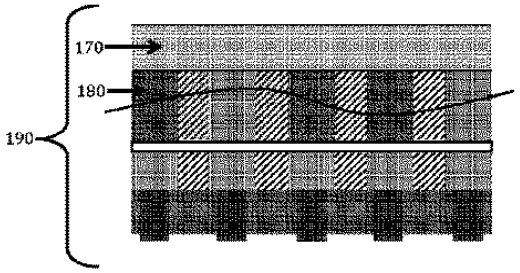



Fig. 1G